

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-119746

(43)公開日 平成11年(1999) 4月30日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

C 0 9 G 3/36

G 0 2 F 1/133

5 5 0

C 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21)出願番号

特願平9-287154

(22)出願日

平成9年(1997)10月20日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 石井 賢哉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

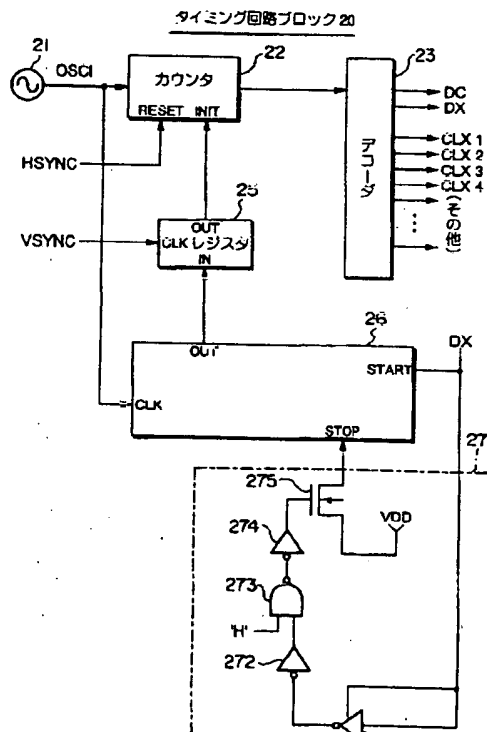
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 駆動回路、表示装置および電子機器

(57)【要約】

【課題】 液晶ディスプレイの駆動回路において、各種のクロック信号(ドットクロックDC、クロック信号CLX1~CLX4等)のタイミング調整を自動的に行う。

【解決手段】 ダミー回路27は、液晶ディスプレイのデータ側駆動回路(図示せず)と同一のICチップ上に形成され、該データ側駆動回路の1段あたりの回路を模擬したものである。カウンタ26は、クロック信号OSCIをカウントすることによって遅延時間(信号がダミー回路27を通過する時間)を計測し、その計測結果がフレーム周期毎にレジスタ25に記憶される。カウンタ22はこのレジスタ25に記憶された値を初期値としてクロック信号OSCIをカウントし、デコーダ23はこれをデコードすることによって各種のクロック信号を生成する。温度変化等によってデータ側駆動回路およびダミー回路27の遅延時間が変化すると、その値がカウンタ22の初期値に反映され、各種のクロック信号の生成タイミングが調整される。



TFT114と、TFT114のドレイン電極に接続される画素電極(図示せず)と、画素電極に接続される保持容量(図示せず)とから成る。そして、画素電極と、これに対応する共通電極と、両電極間に挟まれた液晶層とにより、液晶セル116が構成される。

【0007】なお、液晶パネルは、上述したデータ信号線、走査信号線、TFT、画素電極、および保持容量が形成されるガラス基板(素子基板)と、共通電極が形成されるガラス基板(対向基板)とを間隙を持って対向させ、その間隙に液晶を挟持させ、封入することにより構成される。

【0008】106a, b, c, ……は素子基板上に形成されたTFTから成るサンプルホールドスイッチであり、各データ信号線112に対応して設けられ、所定のホールド信号が供給されると、その時点における画像データData1~6の電圧レベルに対応するデータ信号線112に出力する。

【0009】104はサンプルホールドスイッチ106a, b, c, ……を駆動制御するデータ側駆動回路であり、素子基板上に形成されて、画像データData1~6に同期して各サンプルホールドスイッチ106a, b, c, ……に上記ホールド信号を供給する(詳細は後述する)。103はデータ線駆動回路を示す。105は走査側駆動回路であり、各走査信号線110a, b, c, ……に対して走査信号を順次供給する。

【0010】ここで、走査信号が供給された走査信号線110a, b, c, ……にゲート電極が接続されているTFT114はオン状態になる。そして、データ信号線112a, b, c, ……画像データが供給されていると、該データ信号線にソース電極が接続されているTFT114を介して保持容量が充電される。すなわち、走査側駆動回路105による垂直走査とデータ側駆動回路104による水平走査との交点に対応する液晶セル116が充電されることになる。また、170はプリチャージ回路であり、各データ信号線112a, b, c, ……に画像データが供給される直前、すなわち、一つ前の走査線の選択が終了して、新たな走査線が選択されて画素にデータ信号が供給されるまでの間に、各データ信号線にTFT170a, b, c, ……を介してプリチャージ電圧を印加する。

【0011】プリチャージ回路170は、素子基板上に形成され、タイミング回路ブロック20から供給されるプリチャージ・タイミング信号PRを受けて、TFT170a, b, c, ……を介して各データ信号線112a, b, c, ……にパネル外から供給されるプリチャージ電圧VPを印加する。図4のプリチャージ回路の例はパネルを走査線単位の極性反転駆動した場合のものであり、電圧VPは直後にデータ信号線に印加されるデータ信号の極性と同一極性の電圧に設定され、走査線毎にその極性が反転される。

【0012】次に、データ側駆動回路104の詳細を図5を参照し説明する。図において120, 130, 140, 150はシフトレジスタであり、図6に示す共通の入力信号DXがこれらシフトレジスタに供給される。ここで、入力信号DXは、図6に示す通り、ドットクロックDCの「8」周期に渡って「H」レベルになる信号である。また、クロック信号CLX1~CLX4は、各々ドットクロックDCの「8」倍の周期を有し、クロック信号CLX2~CLX4は、クロック信号CLX1に対して、各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んでいる。

【0013】図5に戻り、シフトレジスタ120においては、121aはクロックドインバータであり、その信号入力端および制御入力端には、各々入力信号DXおよびクロック信号CLX1が供給される。従って、クロックドインバータ121aの出力信号は、入力信号DXおよびクロック信号CLX1が共に「H」レベルである半周期は「L」レベルになり、クロック信号CLX1が「L」レベルである半周期はハイインピーダンス状態になる。

【0014】次に、121bはインバータであり、クロックドインバータ121aの出力信号を反転する。従って、入力信号DXおよびクロック信号CLX1が共に「H」レベルである半周期は、インバータ121bの出力信号は「H」レベルになる。次に、121cはクロックドインバータであり、その信号入力端にはインバータ121bの出力信号が供給され、制御入力端にはクロック信号-CLX1(CLX1の反転信号)が供給される。

【0015】従って、クロック信号CLX1および入力信号DXが共に「H」レベルである半周期は、クロックドインバータ121cの出力はハイインピーダンス状態になる。ここでクロック信号CLX1が「L」レベルになると、その時点におけるインバータ121bの出力信号がクロックドインバータ121cによって反転され、「L」レベルの出力信号がインバータ121bに供給される。これにより、クロック信号CLX1が「L」レベルである半周期においても、インバータ121bから「H」レベルの信号が出力される。

【0016】次に、クロック信号CLX1が再び「H」レベルになった時は入力信号DXが「L」レベルになるから、クロックドインバータ121aの出力信号は「H」レベルになり、インバータ121bの出力信号は「L」レベルになる。従って、インバータ121bの出力信号(図6においてSR1-OUT1で示す)は、入力信号DXと等しくなる。

【0017】次に、122aはクロックドインバータであり、その信号入力端および制御入力端には、信号SR1-OUT1およびクロック信号-CLX1が各々供給される。これにより、信号SR1-OUT1が「H」

ベルであってクロック信号CLX1が「L」レベルである半周期において、クロックドインバータ122aの出力信号は「H」レベルになり、他の期間はハイインピーダンスになる。換言すれば、クロックドインバータ122aからはクロックドインバータ121aの出力信号を半周期だけ遅延させた信号が出力される。

【0018】次に、122bはインバータ、122cはクロックドインバータ、123aはクロックドインバータであり、各々インバータ121b、クロックドインバータ121c、と同様に接続されている。但し、クロックドインバータ121cおよびクロックドインバータ123aには、反転されていないクロック信号CLX1が供給される。これにより、インバータ122bの出力信号（図6においてSR1-OUT2で表わす）は、信号SR1-OUT1に対して、クロック信号CLX1の半周期だけ遅延した信号になる。

【0019】このように、クロックドインバータ121a、インバータ121bおよびクロックドインバータ121cはシフトレジスタ120の第1段目を形成し、クロックドインバータ122a、インバータ122bおよびクロックドインバータ122cは第2段目を形成する。そして、シフトレジスタ120の各段からは、入力信号DXをクロック信号CLX1の半周期ずつ順次遅延させた信号が出力されることになる。

【0020】また、シフトレジスタ130、140、150はシフトレジスタ120と同様に構成され、クロック信号CLX1に対して各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んだクロック信号CLX2～CLX4によって駆動される。この結果、シフトレジスタ130、140、150の各段の出力信号は、シフトレジスタ120の各段の出力信号に対して各々ドットクロックDCの「1」周期、「2」周期および「3」周期だけ位相が進んだものになる。従って、これらシフトレジスタの格段の出力信号は、図6の信号SR1-OUT1～SR3-OUT2に示すように、入力信号DXをドットクロックDCの一周期ずつ遅延させた信号に等しくなる。

【0021】次に、160a、b、c、……はNAND回路であり、各シフトレジスタの各段の出力信号と、ドットクロックDCの「4」周期遅れた出力信号（例えば、信号SR1-OUT1と信号SR1-OUT2）とのNAND演算を行う。また、162a、b、c、……はインバータであり、NAND回路160a、b、c、……の信号を反転し、各々信号SL1-Data1、SL2-Data2、SL3-Data3、……を出力する。

【0022】この結果、図6に示すように、信号SL1-Data1、SL2-Data2、SL3-Data3、……は、各出力信号SR1-OUT1、SR2-OUT1、SR3-OUT1、……と、各々に対して

「4」周期遅れた出力信号との論理積に等しくなり、各々ドットクロックDCの「4」周期幅のパルス幅を有し、ドットクロックDCの「1」周期ずつ順次遅延させた信号になる。そして、これらの信号がホールド信号としてサンプルホールドスイッチ106a、b、c、……に供給されることにより、画像データData1～6がサンプルホールドスイッチ106a、b、c、……にホールドされることになる。

【0023】次に、タイミング回路ブロック20の構成を図7を参照し説明する。図において21は発振回路であり、ドットクロックDCの数倍の周波数を有するクロック信号OSCIを出力する。22はカウンタであり、水平同期信号HSYNCの立上りに同期してリセットされ、リセットされた後はクロック信号OSCIのパルス数をカウントする。カウンタ22には、リセットされた際のカウンタ値の初期値を入力する初期値入力端INITが設けられている。24はロータリーエンコーダであり、製造者またはユーザによって操作され、この初期値を設定する。23はデコーダであり、カウンタ22の出力値をデコードして、上述したドットクロックDC、入力信号DXおよびクロック信号CLX1～CLX4の他、各種のタイミング信号を出力する。

【0024】

【発明が解決しようとする課題】ところで、図5に示した回路においては画像信号Dataを「6」相に展開したにも拘らず、サンプルホールドスイッチ106a、b、c、……におけるサンプルホールド時間はドットクロックDCの「4」倍に留まっており、スイッチング素子106においてデータ信号の充分なサンプリングができず、不十分な電圧のまま画素に供給されてしまうため充分なコントラスト比が得られない。これは、単にサンプルホールド時間を延長することは容易である（例えば各NAND回路160a、b、c、……に対して、シフトレジスタのある出力信号と、ドットクロックDCの「3」周期または「2」周期遅延した出力信号とを供給すれば、サンプルホールド時間はドットクロックDCの「5」倍または「6」倍になる）が、このように構成すると、タイミング調整の頻度が高くなるからである。

【0025】この理由を以下説明しておく。図6においては、信号SL1-Data1、SL2-Data2、SL3-Data3、……の立上りまたは立下がりタイミングはクロック信号CLX1～CLX4の立上りまたは立下がりタイミングと一致しているが、実際は各ゲート回路が遅延時間を有するため、これらのタイミングは一致しない。

【0026】例えば、図5の回路をTFT（薄膜トランジスタ）によって構成すると、信号SL1-Data1、SL2-Data2、SL3-Data3、……の遅延時間は、「50～200」nsec程度である。この遅延時間は半導体製造プロセスにおける環境によって

ばらつき、温度による変化や経年変化も大きい。従って、サンプルホールド時間をドットクロックDCの「5」倍あるいは「6」倍まで延長すると、信号SL1-Data1、SL2-Data2、SL3-Data3、……のタイミングの誤差によって、意図しない画像データがホールドされる虞がある。

【0027】例えば、図4のような構成においては、本来はサンプルホールドスイッチ106aによってホールドされるべき画像データがサンプルホールドスイッチ106gによってホールドされるようなことが考えられる。このような不具合が発生すると、液晶パネルブロック10に表示される画像にはゴーストが発生する。従って、かかる事態を回避するために、製造者およびユーザは、必要に応じてデータ側駆動回路104のタイミング調整を行う必要があった。すなわち、画面を見ながらロータリーエンコーダ24を操作して最適なポイントを探さなければならず、煩雑であった。

【0028】以上のように、従来の液晶ディスプレイの駆動回路においては、サンプルホールド時間を長く確保しようとするタイミング調整の頻度が高くなり、調整の頻度を下げようとするサンプルホールド時間を短くせざるを得ずコントラスト比が低下し、画像品質が劣化する。

【0029】この発明は上述した事情に鑑みてなされたものであり、高い画像品質を有しながら調整作業を簡略化できる駆動回路、表示装置および電子機器を提供することを目的としている。

【0030】

【課題を解決するための手段】上記課題を解決するため請求項1記載の構成にあっては、データ信号が供給される複数のデータ信号線と、これらデータ信号線と交差する走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動装置であって、所定のクロック信号に同期して前記データ信号を前記データ信号線に供給するデータ線駆動回路と、前記データ線駆動回路の少なくとも一部の回路を模擬するダミー回路と、前記ダミー回路の遅延時間を測定し、この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする。

【0031】さらに、請求項2記載の構成にあっては、請求項1記載の駆動回路において、前記データ線駆動回路および前記ダミー回路は同一基板上に形成されたことを特徴とする。

【0032】さらに、請求項3記載の構成にあっては、請求項2記載の駆動回路において、前記データ線駆動回路は、入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングに基づい

て制御されるスイッチング素子を有し、前記ダミー回路は、前記シフトレジスタの少なくとも1段分の回路とこの出力信号のタイミングに基づいて制御されるスイッチング素子とから構成されることを特徴とする。

【0033】また、請求項4記載の構成にあっては、データ信号が供給される複数のデータ信号線と、これらデータ信号線と交差する走査信号線と、前記データ信号線と前記走査信号線の交差に対応してマトリクス状に設けられ、対応する走査信号線に所定の走査信号が供給されると対応するデータ信号線のデータ信号が供給される画素とを具備する表示装置を駆動する駆動回路であって、所定のクロック信号に同期して前記データ信号を対応するデータ信号線に供給するデータ線駆動回路と、前記データ線駆動回路の遅延時間を測定する遅延時間測定回路と、この測定した遅延時間に基づいて前記クロック信号のタイミングを調整するタイミング調整回路とを具備することを特徴とする。

【0034】さらに、請求項5記載の構成にあっては、請求項4記載の駆動回路において、前記データ信号線に対してプリチャージ電圧を印加するプリチャージ回路を具備し、前記データ線駆動回路は入力信号を順次伝送するシフトレジスタと、このシフトレジスタの各段の出力信号のタイミングにより制御されるスイッチング素子とを有し、前記遅延時間測定回路は、前記シフトレジスタに入力信号が供給されてから、前記スイッチング素子の入力端に前記データ線に印加されたプリチャージ電圧が現れるまでの時間を前記遅延時間として測定することを特徴とする。

【0035】さらに、請求項6記載の構成にあっては、請求項5記載の駆動回路において、前記データ線駆動回路および前記プリチャージ回路は同一基板上に形成されたことを特徴とする。

【0036】また、請求項7記載の構成にあっては、請求項1ないし6の何れかに記載の駆動回路を有することを特徴とする。

【0037】また、請求項8記載の構成にあっては、請求項7記載の表示装置を有することを特徴とする。

【0038】

【発明の実施の形態】

1. 第1実施形態

次に、本発明の第1実施形態の液晶パネルについて説明する。第1実施形態の全体構成は図4と同様である。また、データ側駆動回路104の構成も図5に示したものと同様であるが、高いコントラスト比を得るために、サンプルホールドスイッチ106a、b、c、……におけるサンプルホールド時間はドットクロックDCの「6」倍に設定されている（例えば図6における信号SL1-Data1に代えて、信号SR1-OUT1と信号SR3-OUT1との論理積をとったものが用いられる）。

【0039】また、タイミング回路ブロック101

て、図7のものに代えて図1に示すものが用いられる。なお、図において図7の各部に対応する部分には同一の符号を付しその説明を省略する。

【0040】図において26はカウンタであり、そのSTART入力端における信号が‘H’レベルに立上ると、クロック信号OSCIのカウンタを開始するとともに、STOP入力端における信号が‘H’レベルに立上ると、カウンタを終了させる。また、25はレジスタ等の記憶手段であり、垂直同期信号VSYNCに同期してカウンタ26のカウンタ結果をラッチする。

【0041】27は液晶パネルブロック10の素子基板上にデータ線駆動回路103の各素子と同一工程で形成され、データ線駆動回路103を模擬してそこでの回路の遅延時間を検出するためのダミー回路であり、データ側駆動回路104およびサンプルホールドスイッチ106a、b、c、……の「1」段あたりの構成と同様に構成されている。すなわち、ダミー回路27は、クロックドインバータ121a等に対応するクロックドインバータ271と、インバータ121b等に対応するインバータ272と、NAND回路160a等に対応するNAND回路273と、インバータ162aに対応するインバータ274と、サンプルホールドスイッチ106a等に対応するサンプルホールドスイッチ275とから構成されている。

【0042】また、サンプルホールドスイッチ275の入力端には電源電圧VDDが印加され、出力端はカウンタ26のSTOP入力端に接続されている。そして、カウンタ26のSTART入力端およびクロックドインバータ271の入力端には入力信号DXが供給される。ダミー回路27を構成するTFT等の素子は、データ線駆動回路103の対応する回路素子と同一のサイズ（TFTの場合は同一のチャンネル長、チャンネル幅を有する）となるように構成されている。すなわち、両者を同一プロセス及び同一構成として、実質的に同一特性とすることが望ましい。

【0043】また、このダミー回路27は、基板上での素子特性のバラツキによらずデータ線駆動回路103と同等の遅延時間を得るためにデータ線駆動回路103の近傍の素子基板上に設けるとよい。

【0044】次に、本実施形態の動作を説明する。

【0045】まず、水平同期信号HSYNCが立上ると、カウンタ22がリセットされ、レジスタ25の内容に基づいてカウンタ値の初期値が設定される。以後、クロック信号OSCIが立上る毎にカウンタ結果がインクリメントされつつデコーダ23に供給される。デコーダ23にあっては、従来技術のものと同様に、図6に示すドットクロックDC、入力信号DX、クロック信号CLX1～CLX4が生成され、これらがデータ側駆動回路104に供給される。これにより、サンプルホールドスイッチ106aが駆動される。

【0046】また、画像信号Dataは相展開回路32において「6」相の画像データData1～6に展開され、増幅・反転回路34を介して各サンプルホールドスイッチ106a、b、c、……の入力端に供給される。これにより、画像データData1～6がサンプルホールドスイッチ106a、b、c、……にラッチされ、画素部100に画像が表示される。

【0047】一方、入力信号DXが‘H’レベルに立上ると、カウンタ26においてクロック信号OSCIのカウンタが開始される。この入力信号DXはクロックドインバータ271、インバータ272、NAND回路273、およびインバータ274を介して「4」回反転されつつ遅延され、サンプルホールドスイッチ275の制御入力端に供給される。そして、さらにサンプルホールドスイッチ275の動作時間が経過した後、電源電圧VDDがカウンタ26のSTOP入力端に印加されるから、カウンタ26におけるカウンタ動作が終了する。ここで、入力信号DXと、ダミー回路27の出力信号と、カウンタ26のカウンタ値との関係を図10(b)～(d)に示す。

【0048】以上の動作が、各水平走査周期毎に繰返される。そして、「1」フィールド（又は1フレーム）分の水平走査が終了し、垂直同期信号VSYNCがレジスタ25に供給されると、カウンタ26のカウンタ結果（すなわち前のフィールド（フレーム）における最後の水平走査期間におけるカウンタ結果）がレジスタ25にラッチされる。これにより、以後水平同期信号HSYNCがカウンタ22に供給された際に、このカウンタ結果がカウンタ22におけるカウンタの初期値としてプリセットされる。

【0049】ところで、ダミー回路27はデータ側駆動回路104と同一の基板上に同一プロセスで形成されているから、データ側駆動回路104の各段およびサンプルホールドスイッチ106a、b、c、……とほぼ同一の遅延時間を有している。カウンタ26におけるカウンタ結果はこの遅延時間を示すものであり、このカウンタ結果に基づいてカウンタ22における初期値がプリセットされるから、デコーダ23から出力されるドットクロックDC、入力信号DX、およびクロック信号CLX1～CLX4等のタイミング信号は、該カウンタ結果に相当する時間だけ早いタイミングで出力されることになる。

【0050】換言すれば、カウンタ22の初期値が「0」であったと仮定した場合の信号DXの波形が図10(f)に示すようなものであれば、カウンタ26のカウンタ結果に応じてカウンタ22の初期値が設定された場合の信号DXの波形は同図(g)に示すようになる。

【0051】この結果、データ側駆動回路104およびサンプルホールドスイッチ106a、b、c、……における遅延時間が補償される。そもそも画像データDat

a1~6は、クロック信号OSCIに同期したドットクロック周波数で伝送されてくるので、上記遅延時間は、画像データData1~6のサンプリングタイミングずれにつながっていたが、これが補償されることにより、サンプルホールドスイッチ106a, b, c, ……におけるサンプルホールドのタイミングは、画像データData1~6の伝送タイミングにほぼ正確に一致する。また、温度変化等によってデータ側駆動回路104あるいはサンプルホールドスイッチ106a, b, c, ……の遅延時間が変化したとしても、同一基板上のダミー回路27の遅延時間も同様に变化する筈であるから、直ちにカウンタ26のカウント結果に反映される。

【0052】なお、カウンタ26のカウント結果を水平同期信号HSYNC毎ではなく垂直同期信号VSYNC毎にカウンタ22に反映している理由は、ダミー回路27の遅延時間がカウント値の変化する閾値付近である場合は水平走査毎にカウント結果がばらつくので、水平走査毎にDXのタイミングを変更して、走査タイミングが変わることが、画面上にちらつきの生じる原因になりかねないからである。

【0053】なお、発振回路21は、フェーズロック・ループ(PLL)として構成し、水平同期信号HSYNC、垂直同期信号VSYNCもクロック信号OSCIをカウントして、形成することが好ましい。

【0054】なお、上記図1においてはデータ線駆動回路103の一段分のダミー回路27を設けて一段分の遅延時間を測定したが、本発明はこれに限定されるものではなく複数段分の遅延を測定することができる。例えば、シフトレジスタ2段分の遅延を測定する場合、サンプルホールドスイッチ106eまでの遅延時間を測定することになる。この場合、クロックドインバータ121a、インバータ121b、クロックドインバータ122a、インバータ122bに対応してこれらを模擬する4段のインバータを、図1のインバータ271に置き換えて設けることになる。

【0055】この場合、ダミーのクロックドインバータはデータ側駆動回路と同様にクロックCLX1を入力されるクロックドインバータとして構成するとよい。また、カウンタ26の計算結果は、クロックCLX1を入力するシフトレジスタの2段目の出力による遅延を測定するものであるから、クロックCLX1の半周期を差し引いた計算結果を2分の1として、カウンタ22にプリセットされることになる。

【0056】2. 第2実施形態

次に、第1実施形態の液晶パネルを液晶プロジェクトに適用した例を図2を参照し説明する。

【0057】図において1100は液晶プロジェクトであり、その内部に白色光源のランプユニット1102が設けられている。ランプユニット1102から射出された投写光はライトガイド1104内の複数のミラー11

06, 1106, ……および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、それぞれの原色に対応付けられた3枚の液晶パネル1110R, 1110Gおよび1110Bに照射され、各液晶パネルがライトバルブとして入射する色光を画像信号に応じて変調する。

【0058】液晶パネル1110R, 1110Gおよび1110Bの構成は第1実施形態において説明した通りである。第1実施形態にて説明したタイミング回路ブロック20は3つの液晶パネル1110R, 1110G, 1110Bに共通して設け、3つのうち一つの液晶パネルのダミー回路27からの遅延時間を測定するとよい。なぜなら、3つの液晶パネルは同一工程で作られるものであり、製造バラツキによる遅延時間のずれはわずかであるので、タイミング回路ブロック20を共通して使用できる。

【0059】但し、3つの液晶パネルの使用環境が異なると(周辺温度が異なる)、液晶パネルの特性が互いにバラツク場合は、各々の液晶パネルにタイミング回路ブロック27を設けて別々にタイミング調整するとよい。さて、これら液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112においては、レッド(R)およびブルー(B)の光が「90°」曲げられ、グリーン(G)の光は直進する。従って、各色の画像が合成され、投写レンズ1114を介して、スクリーン等にカラー画像が投写される。

【0060】3. 第3実施形態

次に、第1実施形態の液晶パネルをパーソナルコンピュータに適用した例を図3を参照し説明する。

【0061】図においてパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶ディスプレイ1206とから構成されている。液晶ディスプレイ1206は、第1実施形態の液晶パネルにカラーフィルタとバックライトとを付加することにより、構成されている。

【0062】4. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

【0063】4. 1. 上記各実施形態においては、垂直同期信号VSYNCに同期してカウンタ26のカウント結果をレジスタ25にラッチしたが、ラッチするタイミングは垂直同期信号VSYNC以外の種々のタイミングを採用してもよい。例えば、10秒間隔、1分間隔でラッチしてもよい。

【0064】4. 2. 上記各実施形態においては、データ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……の遅延時間を求めるためにダミー回路27を用いた。しかし、例えば帰線期間内にデータ側駆動回路104およびサンプルホールドスイッチ10

6a, b, c, ……自体の遅延時間を測定し、この結果に基づいてレジスタ25の内容をセットしてもよい。

【0065】この実施形態の変形例を図8に示す。図8においては、カウンタ26のカウンタ停止STOPには一段目のデータ線112aの電位を途中で抜き出して入力している。垂直帰線期間中に発生された入力信号DXはデータ側駆動回路104のシフトレジスタをクロック信号CLXによって伝送される。その結果、NAND160a、インバータ162aを介してサンプリングタイミング信号SL1-Data1が出力され、サンプルホールドスイッチ106aがONして画像信号Data1がデータ線112aに出力される。

【0066】一方、カウンタ26ではDXによりカウンタ開始されており、データ線112aからパネル外部に取り出されたData1によりカウンタ停止する。カウンタ26のカウンタ結果はレジスタ25にラッチされ、次のフィールド（又はフレーム）における遅延時間の補償用に用いるために、カウンタ22の初期値としてプリセットされる。なお、レジスタ25でのラッチタイミングは、垂直同期信号VSYNCの発生からカウンタ26がカウンタ停止するまでの期間以上経過後に、カウンタ26の結果をラッチする。

【0067】このような構成によれば、ダミー回路27を設けることなく、垂直期間中に遅延時間を測定できる。また、通常、液晶パネルの画素領域の周辺（上下左右のそれぞれ）の近い数画素分はダミー画素として表示に寄与しないようにされる。従って、データ線102aはダミー画素につながったダミーのデータ線となる。このデータ線102aに遅延時間測定のために引き出し線を付加しても表示は影響しない。

【0068】なお、入力信号DXはクロック信号OSCIの出力をカウントして出力されるパルスであるため垂直帰線期間中でも発生されている。しかし、走査開始の入力信号DYが走査側駆動回路に出力されないため走査信号が出力されない。よって、垂直走査期間中はデータ線駆動回路は動作するが表示が書き換えられるわけではない。

【0069】また、他のデータ線の出力を取り出して遅延時間測定することもできる。すなわち、第1実施形態と同様に、サンプルホールドスイッチ106eの出力を取り出して遅延測定する場合、カウンタ26はデータ線112eから出力を取り出してカウンタ停止する。カウンタ結果は、同様に、クロック信号CLX1の半周期分を差し引き、1/2した値をカウンタ22にプリセットする。4.3. さらに、帰線期間内にデータ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……自体の遅延時間を測定し、この結果に基づいてレジスタ25の内容をセットする実施形態を説明する。

【0070】この実施形態の変形例を図9に示す。図9

においては、カウンタ26のカウンタ停止STOPには、プリチャージ回路170においてデータ線112aに印加されたプリチャージ電圧がサンプルホールドスイッチ106aを介して相展開した画像信号Data1に現れたタイミングを抜き出して入力している。垂直復帰線期間中に発生された入力信号DXはデータ側駆動回路104のシフトレジスタをクロック信号CLXによって伝送される。

【0071】その結果、NAND160a、インバータ162aを介してサンプリングタイミング信号SL1-Data1が出力される。一方、DXの発生前に、プリチャージタイミング信号PRによりONされたTFT170aを介してプリチャージ電圧VPがデータ線112aには印加されている。従って、垂直復帰線期間にはData1には画像信号は出力されていないので、スイッチ106aがONするとData1にはプリチャージ電圧が逆流して出力される。

【0072】また、カウンタ26ではDXによりカウンタ開始されており、パネル外部に取り出されたData1によりカウンタ停止する。カウンタ26のカウンタ結果はレジスタ25にラッチされ、次のフィールド（又はフレーム）における遅延時間の補償用に用いるために、カウンタ22の初期値としてプリセットされる。なお、レジスタ25でのラッチタイミングは、垂直同期信号VSYNCの発生からカウンタ26がカウンタ停止するまでの期間以上経過後に、カウンタ26の結果をラッチする。

【0073】このような構成によれば、ダミー回路27を設けることなく、垂直帰線期間中に遅延時間を測定できる。なお、通常、液晶パネルの画素領域の周辺（上下左右のそれぞれ）の近い数画素分はダミー画素として表示に寄与しないようにされる。従って、データ線102aはダミー画素につながったダミーのデータ線となる。このデータ線102aを遅延時間測定のために用いても表示には影響しない。

【0074】4.4. 図4の構成においてはデータ側駆動回路104およびサンプルホールドスイッチ106a, b, c, ……の双方において遅延が生じるが、この中でサンプルホールドスイッチ106a, b, c, ……における遅延時間よりもデータ側駆動回路104における遅延時間の方が大きい。従って、データ側駆動回路104の遅延時間が得られれば充分である場合は、ダミー回路27をクロックドインバータ271、インバータ272、NAND回路273、およびインバータ274のみによって構成することも考えられる。

【0075】4.5. 以上の実施例及び変形例において、タイミング回路ブロック20は、液晶パネルブロック10とは別基板上に構成されることを前提に説明してきたが、タイミング回路ブロック20も液晶パネルブロック10の素子基板上に形成しても良い。

【0076】4. 6. 第2および第3実施形態においては電子機器の例として液晶プロジェクタ1100とパーソナルコンピュータ1200とを挙げたが、これら以外に各種の電子機器に液晶パネルを適用してもよいことは言うまでもない。

【0077】

【発明の効果】以上説明したようにこの発明によれば、データ側駆動回路あるいはダミー回路の遅延時間に基づいてクロック信号のタイミングを自動的に調節するから、高い画像品質を有しながら調整作業を簡略化できる。

【図面の簡単な説明】

【図1】 第1実施形態のタイミング回路ブロック20のブロック図である。

【図2】 第2実施形態の液晶プロジェクタ1100の平面図である。

【図3】 第3実施形態のパーソナルコンピュータ1200の正面図である。

【図4】 従来の液晶表示装置および第1実施形態の液晶表示装置の全体ブロック図である。

【図5】 従来の液晶表示装置および第1実施形態の液晶表示装置のデータ側駆動回路104の回路図である。

【図6】 図5のタイミングチャートである。

【図7】 従来のタイミング回路ブロック20のブロック図である。

【図8】 第1実施形態の変形例のブロック図である。

【図9】 第1実施形態の他の変形例のブロック図である。

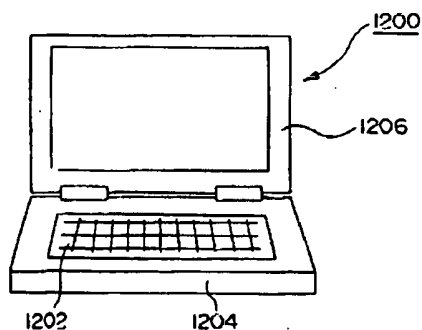
【図10】 第1実施形態の各部のタイミングチャートである。

【符号の説明】

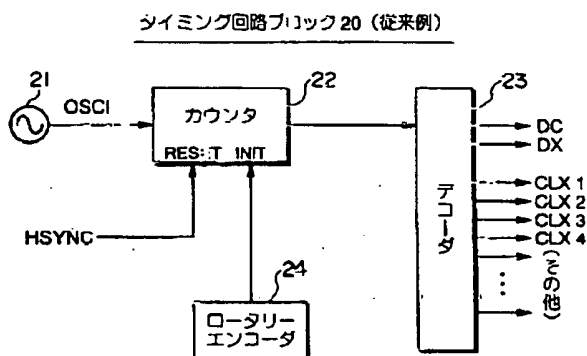
10 液晶パネルブロック
20 タイミング回路ブロック
21 発振回路
22 カウンタ

23 デコーダ
25 レジスタ
26 カウンタ
27 ダミー回路
30 データ処理ブロック
32 相展開回路
34 増幅・反転回路
100 画素部
104 データ側駆動回路
105 走査側駆動回路
106 a, b, c, …… サンプルホールドスイッチ (スイッチング素子)
110 a, b, c, …… 走査信号線
112 a, b, c, …… データ信号線
114 TFT
116 液晶セル
120, 130, 140, 150 シフトレジスタ
121 a クロックドインバータ
121 b インバータ
121 c クロックドインバータ
122 a クロックドインバータ
122 b インバータ
122 c クロックドインバータ
123 a クロックドインバータ
130, 140, 150 シフトレジスタ
160 a, b, c, …… NAND回路
162 a, b, c, …… インバータ
170 プリチャージ回路
271 クロックドインバータ
272 インバータ
273 NAND回路
274 インバータ
275 サンプルホールドスイッチ (スイッチング素子)

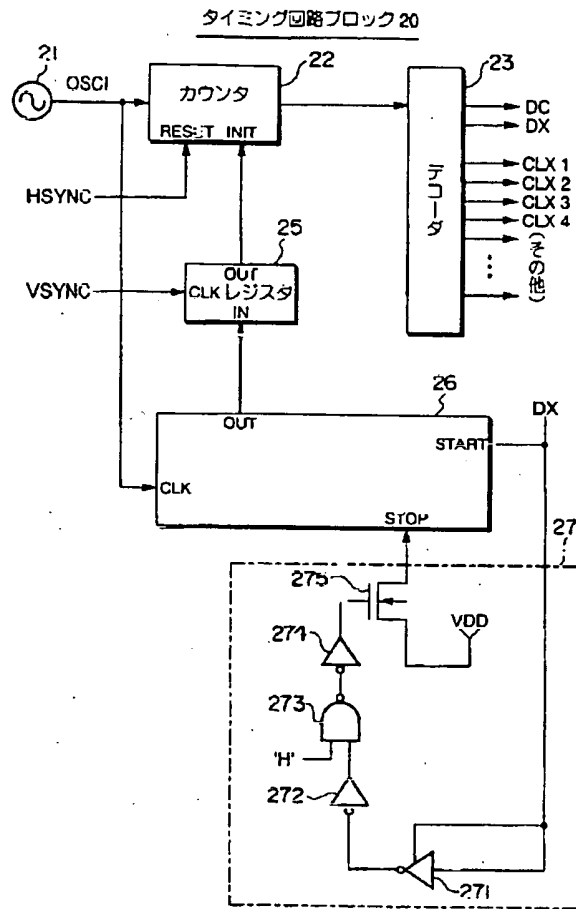
【図3】



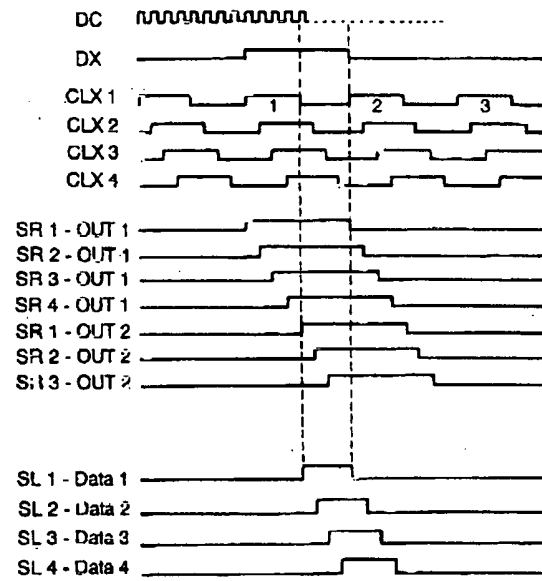
【図7】



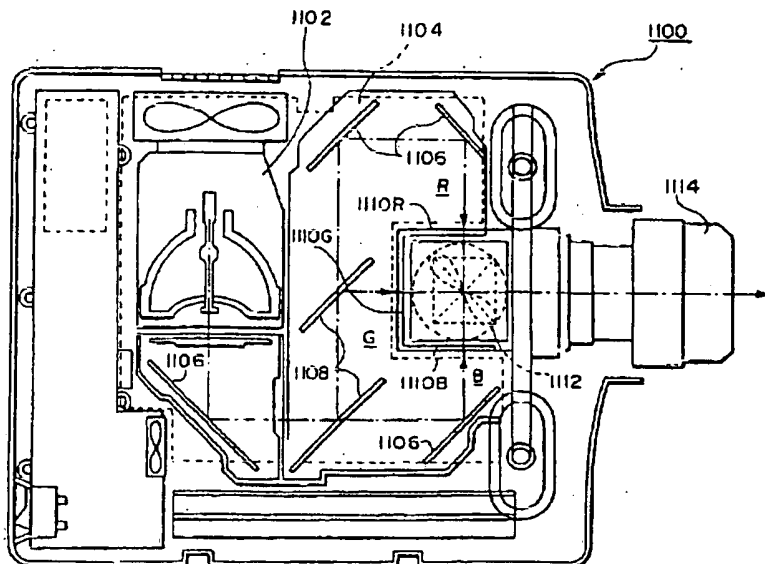
【図1】



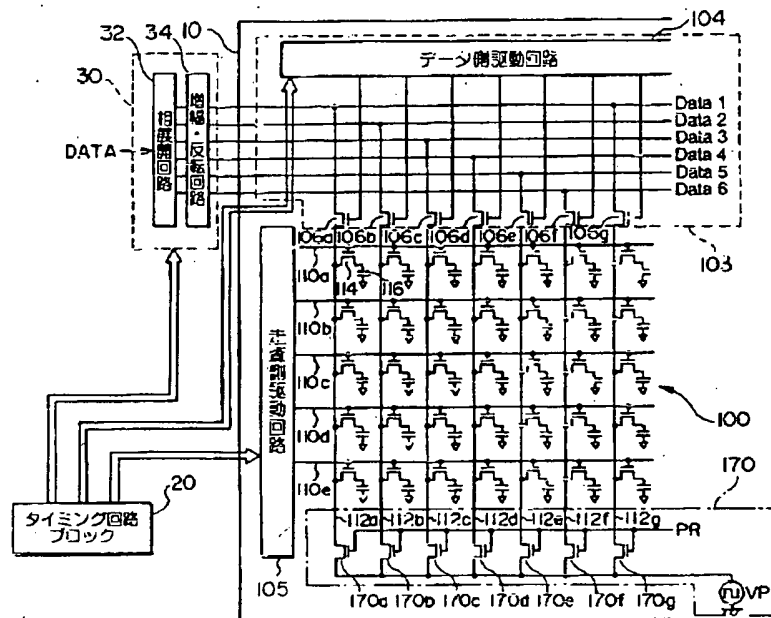
【図6】



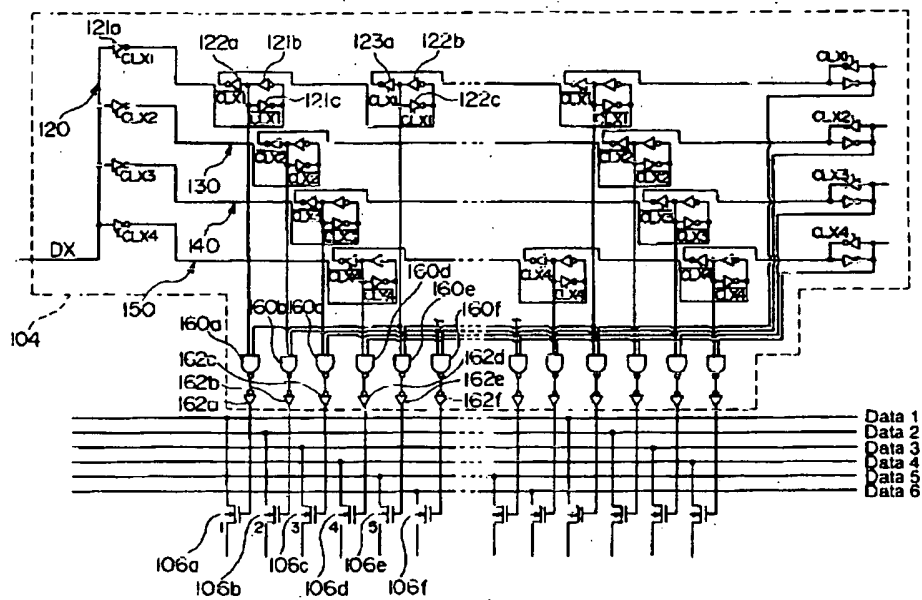
【図2】



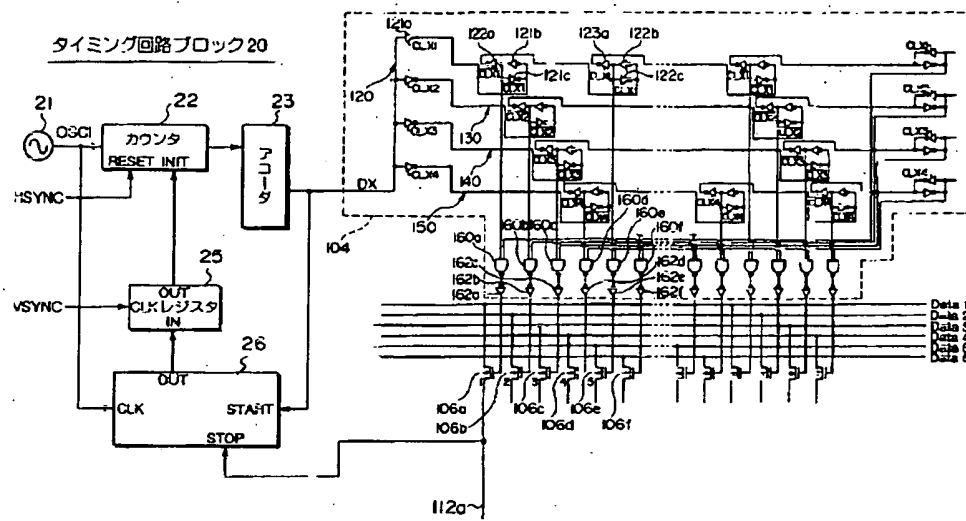
【図4】



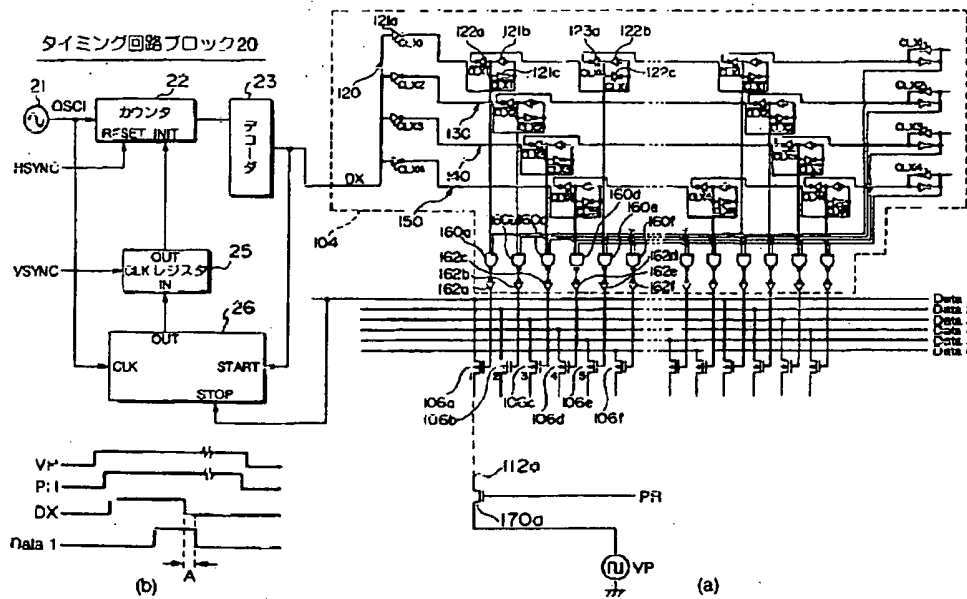
【図5】



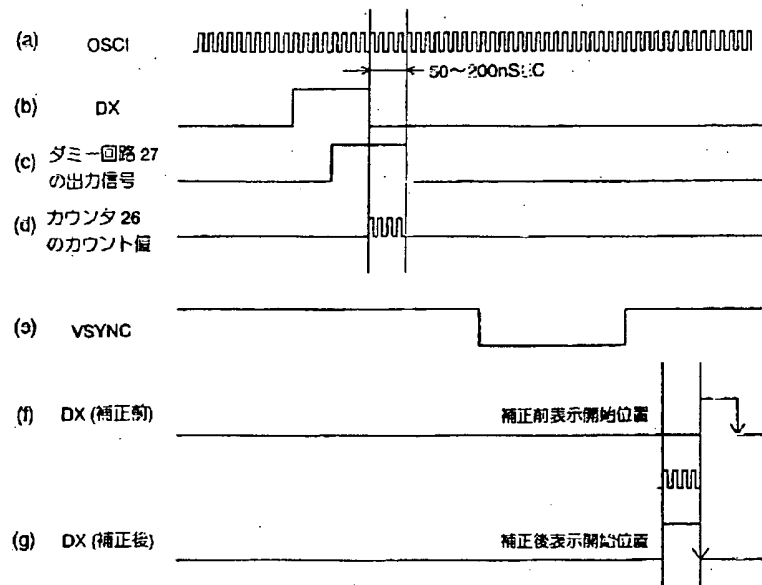
【図8】



【図9】



【図10】



* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more data signal lines by which a data signal is supplied, and two or more scan signal lines which intersect said data signal line, Corresponding to the crossover of said data signal line and said scan signal line, it is prepared in the shape of a matrix. It is the driving gear which drives the display possessing the pixel to which the data signal of the data signal line which corresponds if a predetermined scan signal is supplied to a corresponding scan signal line is supplied. The data-line drive circuit which supplies said data signal to said data signal line synchronizing with a predetermined clock signal, The drive circuit characterized by providing the dummy circuit which simulates some [at least] circuits of said data-line drive circuit, and the timing equalization circuit which measures the time delay of said dummy circuit and adjusts the timing of said clock signal based on this measured time delay.

[Claim 2] Said data-line drive circuit and said dummy circuit are a drive circuit according to claim 1 characterized by being formed on the same substrate.

[Claim 3] It is the drive circuit according to claim 2 which said data-line drive circuit has the switching element controlled based on the timing of the output signal of each stage of the shift register which carries out sequential transmission of the input signal, and this shift register, and is characterized by said dummy circuit consisting of switching elements controlled based on the circuit for at least one step of said shift register, and the timing of this output signal.

[Claim 4] Two or more data signal lines by which a data signal is supplied, and two or more scan signal lines which intersect said data signal line, Corresponding to the crossover of said data signal line and said scan signal line, it is prepared in the shape of a matrix. It is the drive circuit which drives the display possessing the pixel to which the data signal of the data signal line which corresponds if a predetermined scan signal is supplied to a corresponding scan signal line is supplied. The data-line drive circuit supplied to the data signal line which corresponds said data signal synchronizing with a predetermined clock signal, The drive circuit characterized by providing the time delay measuring circuit which measures the time delay of said data-line drive circuit, and the timing equalization circuit which adjusts the timing of said clock signal based on this measured time delay.

[Claim 5] The shift register with which the precharge circuit which impresses a precharge electrical potential difference to said data signal line is provided, and said data-line drive circuit carries out sequential transmission of the input signal, It has the switching element controlled by timing of the output signal of each stage of this shift register. Said time delay measuring circuit The drive circuit according to claim 4 characterized by measuring time amount after an input signal is supplied to said shift register, until the precharge electrical potential difference impressed to said data line at the input edge of said switching element appears as said time delay.

[Claim 6] Said data-line drive circuit and said precharge circuit are a drive circuit according to claim 5 characterized by being formed on the same substrate.

[Claim 7] The display characterized by having a drive circuit given in any [claim 1 thru/or] of 6 they are.

[Claim 8] Electronic equipment characterized by having a display according to claim 7.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is used for a liquid crystal display, and relates to a suitable drive circuit, the display controlled by this drive circuit, and electronic equipment.

[0002]

[Description of the Prior Art] The conventional liquid crystal display whole configuration is explained with reference to drawing 4. This liquid crystal display is a liquid crystal panel used as a light valve of electronic equipment, for example, a liquid crystal projector, and consists of liquid crystal panel block 10, timing circuit block 20, and data-processing block 30. Block 20 and 30 are formed on the same IC chip.

[0003] The timing circuit block 20 outputs the timing signal (it mentions later for details) used in each part. In the interior of the data-processing block 30, 32 is a phase expansion circuit, and if one picture signal Data is inputted, it will develop and output this to image data Data 1-6 of N phase (the example of illustration N= 6). in addition, sample hold switch 106 a-f which mentions the reason for developing a picture signal Data to N phase later -- minding -- every -- it is for securing sample hold time amount and the charging time of a liquid crystal cell 116 by lengthening time amount which impresses an image data signal to the source electrode of TFT114.

[0004] Moreover, 34 is magnification and an inverter circuit, and amplifies and outputs image data Data 1-6 which was made to reverse a thing to be reversed and was suitably reversed by after an appropriate time among image data Data(s) 1-6. In addition, a reversal period is set as a 1 horizontal-scanning period or a dot clock period according to whether the impression methods of the data signal to the whole panel are the polarity reversals of a scanning-line unit, the polarity reversals of a data signal line unit, and the polarity reversals of a pixel unit.

[0005] In the liquid crystal panel block 10, the picture element part 100 which has two or more scan signal-line 110a arranged in parallel along with the line writing direction of drawing 4, b and c,, two or more data signal line 112a arranged in parallel along the direction which intersects perpendicularly with these, b and c and .. is formed.

[0006] Corresponding to each intersection of the scan signal line 110, data signal line 112a, b and c, and, the pixel is formed in the shape of a matrix on drawing. Each pixel consists of the pixel electrode (not shown) connected to the drain electrode of TFT114 and TFT114 by which a gate electrode is connected to scan signal-line 110a, b and c, and, and a source electrode is connected to data signal line 112a, b and c, and .., and the retention volume (not shown) connected to a pixel electrode. And a liquid crystal cell 116 is constituted by a pixel electrode, the common electrode corresponding to this, and the liquid crystal layer pinched between two electrodes.

[0007] In addition, a liquid crystal panel makes the data signal line mentioned above, a scan signal line, TFT, a pixel electrode and the glass substrate (component substrate) with which retention volume is formed, and the glass substrate (opposite substrate) with which a common electrode is formed counter with a gap, makes the gap pinch liquid crystal, and is constituted by enclosing.

[0008] 106a, b and c, and are sample hold switches which consist of TFT formed on the component substrate, and if it is prepared corresponding to each data signal line 112 and a predetermined hold signal is supplied, they will output the voltage level of image data Data 1-6 at the time to the corresponding data signal line 112.

[0009] 104 is a data side drive circuit which carries out drive control of sample hold switch 106a, b and c, and .., is formed on a component substrate, and supplies the above-mentioned hold signal to each sample hold switch 106a, b and c, and .. synchronizing with image data Data 1-6 (it mentions later for details). 103 shows a data-line drive circuit. 105 is a scan side drive circuit and carries out sequential supply of the scan signal to each scan signal-line 110a, b and c, and

[0010] Here, TFT114 by which the gate electrode is connected to scan signal-line 110a to which the scan signal was supplied, b and c, and is turned on. and data signal line 112a, b and c, and supply of image data charges retention volume through TFT114 by which the source electrode is connected to this data signal line. That is, the liquid crystal cell 116 corresponding to the intersection of the vertical scanning by the scan side drive circuit 105 and the horizontal scanning by the data side drive circuit 104 will be charged. Moreover, 170 will be a precharge circuit, and by the time selection of the scanning line in front of one is completed, the new scanning line is chosen and a data signal is supplied to a pixel just before image data is supplied to each data signal line 112a, b and c, and namely, it will impress a precharge electrical potential difference to each data signal line through TFT170a, b and c, and ..

[0011] precharge timing signal PR which the precharge circuit 170 is formed on a component substrate, and are supplied from the timing circuit block 20 -- winning popularity -- TFT170 -- a, b, and c.... minding -- each data signal line 112 -- the precharge electrical potential difference VP supplied to a, b, and c.. from the outside of a panel is impressed. The example of the precharge circuit of drawing 4 is a thing when a scanning-line unit carries out the polarity-reversals drive of the panel, it is set as the polar electrical potential difference as the polarity of the data signal impressed to a data signal line immediately after with the same electrical potential difference VP, and the polarity is reversed for every scanning line.

[0012] Next, the detail of the data side drive circuit 104 is explained with reference to drawing 5 . In drawing, 120,130,140,150 is a shift register and the common input signal DX shown in drawing 6 is supplied to these shift registers. Here, an input signal DX is a signal set to 'H' level over "8" periods of a dot clock DC as it is shown in drawing 6 . Moreover, clock signals CLX1-CLX4 have a dot clock twice ["8"] the period of DC respectively, and, as for clock signals CLX2-CLX4, only in "1" period of a dot clock DC, "2" periods, and "3" periods, the phase is progressing respectively to the clock signal CLX1.

[0013] In return and a shift register 120, 121a is a clocked inverter and an input signal DX and a clock signal CLX1 are respectively supplied to the signal input edge and a control-input edge at drawing 5 . Therefore, the half period an input signal DX and whose clock signal CLX1 of both the output signals of clocked inverter 121a are 'H' level will be set to 'L' level, and the half period whose clock signal CLX1 is 'L' level will be in a hi-z state.

[0014] Next, 121b is an inverter and reverses the output signal of clocked inverter 121a. Therefore, the output signal of inverter 121b is set to 'H' level by the half period both the input signal DX and whose clock signal CLX1 are 'H' level. Next, it is a clocked inverter, the output signal of inverter 121b is supplied to the signal input edge, and 121c is a clock signal in a control-input edge. - CLX1 (reversal signal of CLX1) is supplied.

[0015] Therefore, in the half period both the clock signal CLX1 and whose input signal DX are 'H' level, the output of clocked inverter 121c will be in a hi-z state. If a clock signal CLX1 is set to 'L' level here, the output signal of inverter 121b at the time will be reversed by clocked inverter 121c, and the output signal of 'L' level will be supplied to inverter 121b. Thereby, also in the half period whose clock signal CLX1 is 'L' level, the signal of 'H' level is outputted from inverter 121b.

[0016] Next, since an input signal DX is set to 'L' level when a clock signal CLX1 is again set to 'H' level, the output signal of clocked inverter 121a is set to 'H' level, and the output signal of inverter 121b is set to 'L' level. Therefore, the output signal (SR1-OUT1 shows drawing 6) of inverter 121b becomes equal to an input signal DX.

[0017] Next, 122a is a clocked inverter and is signal SR1-OUT1 and a clock signal in the signal input edge and a control-input edge. - CLX1 is supplied respectively. Thereby, in the half period whose signal SR1-OUT1 is 'H' level and whose clock signal CLX1 is 'L' level, the output signal of clocked inverter 122a is set to 'H' level, and other periods become high impedance. If it puts in another way, from clocked inverter 122a, the signal with which only the half period delayed the output signal of clocked inverter 121a will be outputted.

[0018] Next, an inverter and 122c of 122b are clocked inverters, and a clocked inverter and 123a are respectively connected like inverter 121b and clocked inverter 121c. However, the clock signal CLX1 which is not reversed is supplied to clocked inverter 121c and clocked inverter 123a. Thereby, the output signal (it expresses with SR1-OUT2 in drawing 6) of inverter 122b turns into a signal with which only the half period of a clock signal CLX1 was delayed to signal SR1-OUT1.

[0019] Thus, clocked inverter 121a, inverter 121b, and clocked inverter 121c form the 1st step of a shift register 120, and clocked inverter 122a, inverter 122b, and clocked inverter 122c form the 2nd step. And from each stage of a shift register 120, the signal with which the clock signal CLX1 carried out half period [every] sequential delay of the input signal DX will be outputted.

[0020] Moreover, a shift register 130,140,150 is constituted like a shift register 120, and is driven with the clock signals CLX2-CLX4 with which the phase progressed respectively to the clock signal CLX1 only in "1" period of a dot clock DC, "2" periods, and "3" periods. Consequently, the output signal of each stage of a shift register 130,140,150 becomes that to which the phase progressed only in "1" period of a dot clock DC, "2" periods, and "3" periods respectively to the output signal of each stage of a shift register 120. Therefore, the marked output signal of these shift registers becomes equal to the signal with which the dot clock DC delayed the input signal DX a round term every, as shown in signal SR1-OUT1-SR3-OUT2 of drawing 6.

[0021] Next, 160a, b and c, and are NAND circuits, and perform the NAND operation of the output signal of each stage of each shift register, and the output signal (for example, signal SR1-OUT1 and signal SR1-OUT2) which was overdue "4" periphery terms of a dot clock DC. Moreover, 162a, b and c, and are inverters, reverse the signal of NAND-circuit 160a, b and c, and .., and output signal SL1-Data1, SL2-Data2, SL3-Data3, and .. respectively.

[0022] As shown in drawing 6, consequently, signal SL1-Data1, SL2-Data2, SL3-Data3, and each -- with output signal SR1-OUT1, SR2-OUT1, SR3-OUT1, and It becomes equal to an AND with the output signal which was overdue "4" periphery terms to each, and it has the pulse width of "4" period width of face of a dot clock DC respectively, and becomes the signal which carried out "1" period [every] sequential delay of a dot clock DC. And image data Data 1-6 will be held by sample hold switch 106a, b and c, and .. by supplying these signals to sample hold switch 106a, b and c, and as a hold signal.

[0023] Next, the configuration of the timing circuit block 20 is explained with reference to drawing 7. In drawing, 21 is an oscillator circuit and outputs clock signal OSCI which has a dot clock several times the frequency of DC. It is a counter, 22 is reset synchronizing with the standup of Horizontal Synchronizing signal HSYNC, and after being reset, it counts the pulse number of clock signal OSCI. The initial value input edge INIT which inputs the initial value of the counted value at the time of being reset into a counter 22 is formed. 24 is a rotary encoder, is operated by a manufacturer or the user and sets up this initial value. 23 is a decoder and outputs various kinds of timing signals besides the dot clock DC which decoded and mentioned the output value of a counter 22 above, an input signal DX, and clock signals CLX1-CLX4.

[0024]

[Problem(s) to be Solved by the Invention] By the way, in spite of having developed the picture signal Data to "6" phases in the circuit shown in drawing 5, since the sample hold time amount in sample hold switch 106a, b and c, and has stopped "4" twice of a dot clock DC, cannot perform sufficient sampling of a data signal in a switching element 106, but it will be supplied to a pixel while it has been an inadequate electrical potential difference, sufficient contrast ratio is not obtained. this only extends sample hold time amount -- being easy (for example, sample hold time amount "6" doubling ["5" twice

of a dot clock DC, or], if the output signal which carried out each NAND-circuit 160"3" of output signal [which has a shift register to a, b, c, and], and dot clock DC period, or "2" period delay is supplied) -- it is because the frequency of timing adjustment will become high if constituted in this way.

[0025] This reason is explained below. In drawing 6 , although a standup or fall timing is in agreement with the standup of clock signals CLX1-CLX4, or fall timing, since [of signal SL1-Data1, SL2-Data2, SL3-Data3, and] each gate circuit has a time delay in practice, such timing is not in agreement.

[0026] For example, when TFT (thin film transistor) constitutes the circuit of drawing 5 , the time delay of signal SL1-Data1, SL2-Data2, SL3-Data3, and is "50-200" nsec extent. The change and secular change in a semi-conductor manufacture process of this time delay according to dispersion and temperature by the environment are also large. Therefore, when sample hold time amount is extended to "5" twice of a dot clock DC, or "6" twice, there are signal SL1-Data1, SL2-Data2, SL3-Data3, and a possibility that the image data of which is not meant may be held by the error of timing.

[0027] For example, in a configuration like drawing 4 , it is possible that the image data which should be held by sample hold switch 106a is originally held by sample hold switch 106g. Generating of such fault generates a ghost in the image displayed on the liquid crystal panel block 10. Therefore, in order to avoid this situation, the manufacturer and the user needed to perform timing adjustment of the data side drive circuit 104 if needed. That is, the rotary encoder 24 had to be operated, the optimal point had to be looked for, looking at a screen, and it was complicated.

[0028] As mentioned above, in the drive circuit of the conventional liquid crystal display, if it is going to secure sample hold time amount for a long time, the frequency of timing adjustment will become high, if it is going to lower the frequency of adjustment, a short kink colander will not be obtained, but a contrast ratio will fall, and image quality will deteriorate sample hold time amount.

[0029] This invention is made in view of the situation mentioned above, and it aims at offering the drive circuit, the display, and electronic equipment which can simplify tuning, having high image quality.

[0030]

[Means for Solving the Problem] If it is in a configuration according to claim 1 in order to solve the above-mentioned technical problem Two or more data signal lines by which a data signal is supplied, and the scan signal line which intersects these data signal line, Corresponding to the crossover of said data signal line and said scan signal line, it is prepared in the shape of a matrix. It is the driving gear which drives the display possessing the pixel to which the data signal of the data signal line which corresponds if a predetermined scan signal is supplied to a corresponding scan signal line is supplied. The data-line drive circuit which supplies said data signal to said data signal line synchronizing with a predetermined clock signal, It is characterized by providing the dummy circuit which simulates some [at least] circuits of said data-line drive circuit, and the timing equalization circuit which measures the time delay of said dummy circuit and adjusts the timing of said clock signal based on this measured time delay.

[0031] Furthermore, if it is in a configuration according to claim 2, in a drive circuit according to claim 1, it is characterized by forming said data-line drive circuit and said dummy circuit on the same substrate.

[0032] Furthermore, if it is in a configuration according to claim 3, in a drive circuit according to claim 2, said data-line drive circuit has the switching element controlled based on the timing of the output signal of each stage of the shift register which carries out sequential transmission of the input signal, and this shift register, and said dummy circuit is characterized by consisting of switching elements controlled based on the circuit for at least one step of said shift register, and the timing of this output signal.

[0033] Moreover, two or more data signal lines by which a data signal is supplied if it is in a configuration according to claim 4, Corresponding to the crossover of the scan signal line which intersects these data signal line, and said data signal line and said scan signal line, it is prepared in the shape of a matrix. It is the drive circuit which drives the display possessing the pixel to which the data signal of the data signal line which corresponds if a predetermined scan signal is supplied to a corresponding scan signal line is supplied. The data-line drive circuit supplied to the data signal line

which corresponds said data signal synchronizing with a predetermined clock signal, It is characterized by providing the time delay measuring circuit which measures the time delay of said data-line drive circuit, and the timing equalization circuit which adjusts the timing of said clock signal based on this measured time delay.

[0034] Furthermore, if it is in a configuration according to claim 5, it sets in a drive circuit according to claim 4. The shift register with which the precharge circuit which impresses a precharge electrical potential difference to said data signal line is provided, and said data-line drive circuit carries out sequential transmission of the input signal, It has the switching element controlled by timing of the output signal of each stage of this shift register. Said time delay measuring circuit After an input signal is supplied to said shift register, it is characterized by measuring time amount until the precharge electrical potential difference impressed to said data line at the input edge of said switching element appears as said time delay.

[0035] Furthermore, if it is in a configuration according to claim 6, in a drive circuit according to claim 5, it is characterized by forming said data-line drive circuit and said precharge circuit on the same substrate.

[0036] Moreover, if it is in a configuration according to claim 7, it is characterized by having a drive circuit given in any [claim 1 thru/or] of 6 they are.

[0037] Moreover, if it is in a configuration according to claim 8, it is characterized by having a display according to claim 7.

[0038]

[Embodiment of the Invention]

1. Explain the liquid crystal panel of the 1st operation gestalt, next the 1st operation gestalt of this invention. The whole 1st operation gestalt configuration is the same as that of drawing 4 . Moreover, although it is the same as that of what also showed the configuration of the data side drive circuit 104 to drawing 5 , in order to obtain a high contrast ratio, the sample hold time amount in sample hold switch 106a, b and c, and is set up "6" twice of a dot clock DC (for example, it replaces with signal SL1-Dat1 in drawing 6 , and what took the AND of signal SR1-OUT1 and signal SR3-OUT1 is used).

[0039] Moreover, what replaces with the thing of drawing 7 and is shown in drawing 1 as timing circuit block 20 is used. In addition, in drawing, the same sign is given to the part corresponding to each part of drawing 7 , and the explanation is omitted.

[0040] A count will be terminated, if the signal in a STOP input edge starts on 'H' level while starting the count of clock signal OSCI, if 26 is a counter and the signal in the START input edge starts on 'H' level in drawing. Moreover, 25 is storage means, such as a register, and latches the count result of a counter 26 synchronizing with Vertical Synchronizing signal VSYNC.
 [0041] 27 is a dummy circuit for being formed on the component substrate of the liquid crystal panel block 10 at the same process as each component of the data-line drive circuit 103, simulating the data-line drive circuit 103, and detecting the time delay of the circuit of a there, and is constituted like the configuration around the data side drive circuit 104 and sample hold switch 106"1" stage of a, b, c, and That is, the dummy circuit 27 consists of the clocked inverter 271 corresponding to clocked inverter 121a etc., the inverter 272 corresponding to inverter 121b etc., NAND circuit 273 corresponding to NAND-circuit 160a etc., an inverter 274 corresponding to inverter 162a, and a sample hold switch 275 corresponding to sample hold switch 106a etc.

[0042] Moreover, supply voltage VDD is impressed to the input edge of the sample hold switch 275, and the outgoing end is connected to the STOP input edge of a counter 26. And an input signal DX is supplied to the START input edge of a counter 26, and the input edge of a clocked inverter 271. Components, such as TFT which constitutes the dummy circuit 27, are constituted so that it may become the same size (it has the same channel length and channel width in TFT) as the circuit element to which the data-line drive circuit 103 corresponds. That is, it is desirable to consider as the same property substantially by considering both as the same process and the same configuration.

[0043] Moreover, this dummy circuit 27 is good to prepare on the component substrate near the data-line drive circuit 103, in order not to be based on the variation in the component property on a substrate

but to acquire a time delay equivalent to the data-line drive circuit 103.

[0044] Next, actuation of this operation gestalt is explained.

[0045] First, if Horizontal Synchronizing signal HSYNC starts, a counter 22 will be reset and the initial value of counted value will be set up based on the contents of the register 25. Henceforth, a decoder 23 is supplied, the increment of the count result being carried out whenever clock signal OSCI starts. If it is in a decoder 23, the dot clock DC and input signal DX which are shown in drawing 6, and clock signals CLX1-CLX4 are generated like the thing of the conventional technique, and these are supplied to the data side drive circuit 104. Thereby, sample hold switch 106a drives.

[0046] Moreover, it is developed by image data Data 1-6 of "6" phases in the phase expansion circuit 32, and a picture signal Data is supplied to each sample hold switch 106a, b and c, and the input edge of through magnification and an inverter circuit 34. Thereby, image data Data 1-6 is latched to sample hold switch 106a, b and c, and, and an image is displayed on a picture element part 100.

[0047] On the other hand, if an input signal DX starts on 'H' level, the count of clock signal OSCI will be started in a counter 26. This input signal DX is delayed "4" time reversal being carried out through a clocked inverter 271, an inverter 272, NAND circuit 273, and an inverter 274, and is supplied to the control-input edge of the sample hold switch 275. And since supply voltage VDD is impressed to the STOP input edge of a counter 26 after the operating time of the sample hold switch 275 passes further, the count actuation in a counter 26 is completed. Here, the relation between an input signal DX, the output signal of the dummy circuit 27, and the counted value of a counter 26 is shown in drawing 10 (b) - (d).

[0048] The above actuation is repeated for every horizontal scanning period. And when the horizontal scanning for "1" field (or one frame) is completed and Vertical Synchronizing signal VSYNC is supplied to a register 25, the count result (namely, count result in the horizontal scanning period of the last in the front field (frame)) of a counter 26 is latched to a register 25. Thereby, when Horizontal Synchronizing signal HSYNC is supplied to a counter 22 after that, presetting of this count result is carried out as initial value of the count in a counter 22.

[0049] By the way, since the dummy circuit 27 is formed in the same process on the same substrate as the data side drive circuit 104, it has the almost same time delay as each stage of the data side drive circuit 104 and sample hold switch 106a, b and c, and Since the count result in a counter 26 shows this time delay and presetting of the initial value in a counter 22 is carried out based on this count result, the timing signal of the dot clock DC outputted from a decoder 23, an input signal DX and a clock signal CLX1 - CLX4 grade will be outputted to the timing that only the time amount equivalent to this count result is early.

[0050] If it seems that the wave of the signal DX at the time of assuming that the initial value of a counter 22 was "0" when putting in another way shows drawing 10 (f), the wave of the signal DX when the initial value of a counter 22 is set up according to the count result of a counter 26 comes to be shown in this drawing (g).

[0051] Consequently, the time delay in the data side drive circuit 104 and sample hold switch 106a, b and c, and is compensated. First of all, image data Data 1-6 of timing of the sample hold in sample hold switch 106a, b and c, and corresponds with the transmission timing of image data Data 1-6 almost correctly by compensating this, although the above-mentioned time delay had led to the sampling timing gap of image data Data 1-6 since it was transmitted on the dot clock frequency which synchronized with clock signal OSCI. Moreover, since the time delay of the dummy circuit 27 on the same substrate should change similarly even if the time delay of the data side drive circuit 104 or sample hold switch 106a, b and c, and changes with temperature changes etc., it is immediately reflected in the count result of a counter 26.

[0052] in addition, the reason which boils the count result of a counter 26 for every Horizontal Synchronizing signal HSYNC and every Vertical Synchronizing signal VSYNC, and is reflecting it in a counter 22 is that that change the timing of DX for every horizontal scanning, and scan timing changes may become the cause which a flicker produces on a screen since a count result varies for every horizontal scanning when the time delay of the dummy circuit 27 is near the threshold where counted

value changes.

[0053] In addition, it constitutes as a phase ROKKUTO loop formation (PLL), Horizontal Synchronizing signal HSYNC and Vertical Synchronizing signal VSYNC count clock signal OSCI, and, as for an oscillator circuit 21, forming is desirable.

[0054] In addition, although the dummy circuit 27 for one step of the data-line drive circuit 103 was formed in above-mentioned drawing 1 and the time delay for one step was measured, this invention is not limited to this and can measure delay for two or more steps. For example, when measuring delay for two steps of shift registers, the time delay to sample hold switch 106e will be measured. In this case, four steps of inverters which simulate these corresponding to clocked inverter 121a, inverter 121b, clocked inverter 122a, and inverter 122b will be transposed to the inverter 271 of drawing 1, and will be formed.

[0055] In this case, a dummy clocked inverter is good to constitute as a clocked inverter into which a clock CLX1 is inputted like a data side drive circuit. Moreover, since the count result of a counter 26 measures delay by the 2nd step of output of the shift register which inputs a clock CLX1, presetting of the count result of having deducted the half period of a clock CLX1 will be carried out to a counter 22 as 1/2.

[0056] 2. Explain the example which applied the liquid crystal panel of the 2nd operation gestalt, next the 1st operation gestalt to the liquid crystal projector with reference to drawing 2.

[0057] In drawing, 1100 is a liquid crystal projector and the lamp unit 1102 of the source of the white light is formed in the interior. With two or more mirrors 1106 and 1106 in a light guide 1104, ..., the dichroic mirror 1108 of two sheets, it separates into the three primary colors of RGB, and the projection light injected from the lamp unit 1102 is irradiated by the liquid crystal panels 1110R, 1110G, and 1110B of three sheets matched with each primary color, and modulates the colored light in which each liquid crystal panel carries out incidence as a light valve according to a picture signal.

[0058] The configuration of liquid crystal panels 1110R, 1110G, and 1110B is as having explained in the 1st operation gestalt. The timing circuit block 20 explained with the 1st operation gestalt is good to prepare in common with three liquid crystal panels 1110R, 1110G, and 1110B, and to measure the time delay from the dummy circuit 27 of one liquid crystal panel among three. Because, three liquid crystal panels are made from the same process, and since gaps of the time delay by manufacture variation are few, the timing circuit block 20 can be used in common.

[0059] However, the operating environments of three liquid crystal panels differ (ambient temperature differs), and a barrack case is mutually [the property of a liquid crystal panel] good for each liquid crystal panel to establish the timing circuit block 27 and to carry out timing adjustment separately. Now, incidence of the light modulated with these liquid crystal panels is carried out to a dichroic prism 1112 from three directions. In a dichroic prism 1112, "90 degrees" of light of red (R) and blue (B) is bent, and the light of Green (G) goes straight on. Therefore, the image of each color is compounded and a color picture is projected on a screen etc. through the projection lens 1114.

[0060] 3. Explain the example which applied the liquid crystal panel of the 3rd operation gestalt, next the 1st operation gestalt to the personal computer with reference to drawing 3.

[0061] In drawing, the personal computer 1200 consists of the body section 1204 equipped with the keyboard 1202, and a liquid crystal display 1206. The liquid crystal display 1206 is constituted by adding a color filter and a back light to the liquid crystal panel of the 1st operation gestalt.

[0062] 4. Modification this invention is not limited to the operation gestalt mentioned above, and various deformation is possible for it as follows.

[0063] 4.1. In each above-mentioned operation gestalt, although the count result of a counter 26 was latched to the register 25 synchronizing with Vertical Synchronizing signal VSYNC, the timing to latch may adopt various timing other than Vertical Synchronizing signal VSYNC. For example, you may latch at intervals of 10-second spacing and 1 minute.

[0064] 4.2. In each above-mentioned operation gestalt, in order [of the data side drive circuit 104 and sample hold switch 106a, b and c, and] to find a time delay, the dummy circuit 27 was used. however, for example, the inside of a fly-back-line period -- the data side drive circuit 104 and sample

hold switch 106a, b and c, and the time delay of the very thing may be measured and the contents of the register 25 may be set based on this result.

[0065] The modification of this operation gestalt is shown in drawing 8 . In drawing 8 , the potential of the first step of data-line 112a was extracted for the count halt STOP of a counter 26 on the way, and is inputted into it. The input signal DX generated during the vertical-retrace-line period is transmitted by the clock signal CLX in the shift register of the data side drive circuit 104. Consequently, sampling timing signal SL1-Data1 is outputted through NAND160a and inverter 162a, sample hold switch 106a turns on and a picture signal Data1 is outputted to data-line 112a.

[0066] On the other hand, in a counter 26, count initiation is carried out by DX and a count halt is carried out by Data1 taken out from data-line 112a by the panel exterior. In order to be latched to a register 25 and to use for compensation of the time delay in the next field (or frame), presetting of the count result of a counter 26 is carried out as initial value of a counter 22. In addition, the latch timing in a register 25 latches the result of a counter 26 after progress beyond a period until a counter 26 carries out a count halt from generating of Vertical Synchronizing signal VSYNC.

[0067] According to such a configuration, a time delay can be measured during a perpendicular period, without forming the dummy circuit 27. Moreover, it is made for the amount of [of the pixel field of a liquid crystal panel / surrounding (four directions respectively) / near] several pixels not to usually contribute to a display as a dummy pixel. Therefore, data-line 102a becomes the data line of the dummy connected with the dummy pixel. Even if it adds an outgoing line to this data-line 102a for time delay measurement, a display does not influence.

[0068] In addition, since an input signal DX is a pulse outputted by counting the output of clock signal OSC1, it is generated also in the vertical-retrace-line period. However, since the input signal DY of scan initiation is not outputted to a scan side drive circuit, a scan signal is not outputted. Therefore, during a vertical-scanning period, although a data-line drive circuit operates, a display is not necessarily rewritten.

[0069] Moreover, the output of other data lines can be taken out and time delay measurement can also be carried out. That is, like the 1st operation gestalt, when taking out the output of sample hold switch 106e and carrying out delay measurement, a counter 26 takes out an output from data-line 112e, and carries out a count halt. similarly, a count result deducts a part for the half period of a clock signal CLX1, and presets the value carried out 1/2 to a counter 22. "4.3. -- further -- the inside of a fly-back-line period -- the data side drive circuit 104 and sample hold switch 106a, b and c, and the time delay of the very thing is measured and the operation gestalt which sets the contents of the register 25 based on this result is explained.

[0070] The modification of this operation gestalt is shown in drawing 9 . In drawing 9 , the timing which appeared in the picture signal Data1 in which the precharge electrical potential difference impressed to data-line 112a in the precharge circuit 170 carried out phase expansion through sample hold switch 106a is extracted and inputted into the count halt STOP of a counter 26. The input signal DX generated during the perpendicular return line period is transmitted by the clock signal CLX in the shift register of the data side drive circuit 104.

[0071] Consequently, sampling timing signal SL1-Data1 is outputted through NAND160a and inverter 162a. On the other hand, the precharge electrical potential difference VP is impressed to data-line 112a through TFT170a turned on by precharge timing signal PR before generating of DX. Therefore, since the picture signal is not outputted to Data1 at a vertical-retrace-line period, if switch 106a turns on, a precharge electrical potential difference will be flowed backwards and outputted to Data1.

[0072] Moreover, in a counter 26, count initiation is carried out by DX and a count halt is carried out by Data1 taken out by the panel exterior. In order to be latched to a register 25 and to use for compensation of the time delay in the next field (or frame), presetting of the count result of a counter 26 is carried out as initial value of a counter 22. In addition, the latch timing in a register 25 latches the result of a counter 26 after progress beyond a period until a counter 26 carries out a count halt from generating of Vertical Synchronizing signal VSYNC.

[0073] According to such a configuration, a time delay can be measured during a vertical-retrace-line

period, without forming the dummy circuit 27. In addition, it is made for the amount of [of the pixel field of a liquid crystal panel / surrounding (vertical and horizontal *****) / near] several pixels not to usually contribute to a display as a dummy pixel. Therefore, data-line 102a becomes the data line of the dummy connected with the dummy pixel. A display is not influenced even if it uses for time delay measurement of this data-line 102a.

[0074] 4.4. In the configuration of drawing 4 , although delay arises in both sides, the time delay in the data side drive circuit 104 is larger than the time delay in sample hold switch 106a, b and c, and .. of the data side drive circuit 104 and sample hold switch 106a, b and c, and in this. Therefore, if the time delay of the data side drive circuit 104 is acquired, it will come out enough and, in a certain case, constituting the dummy circuit 27 only with a clocked inverter 271, an inverter 272, NAND circuit 273, and an inverter 274 will also be considered.

[0075] 4.5. In the above example and modification, in the liquid crystal panel block 10, although the timing circuit block 20 has explained on the assumption that it is constituted on another substrate, it may also form the timing circuit block 20 on the component substrate of the liquid crystal panel block 10.

[0076] 4.6. Although the liquid crystal projector 1100 and the personal computer 1200 were mentioned as an example of electronic equipment in the 2nd and 3rd operation gestalt, it cannot be overemphasized that a liquid crystal panel may be applied to various kinds of electronic equipment in addition to these.

[0077]

[Effect of the Invention] Tuning can be simplified having high image quality, since the timing of a clock signal is automatically adjusted based on the time delay of a data side drive circuit or a dummy circuit according to this invention, as explained above.

[Translation done.]

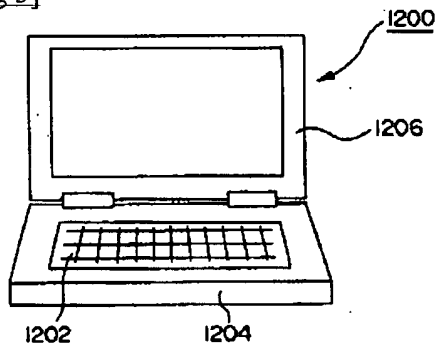
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

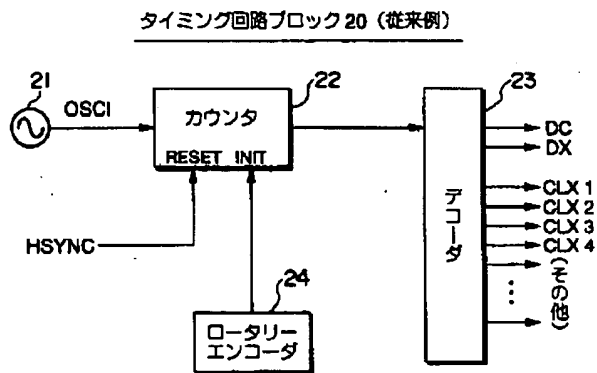
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

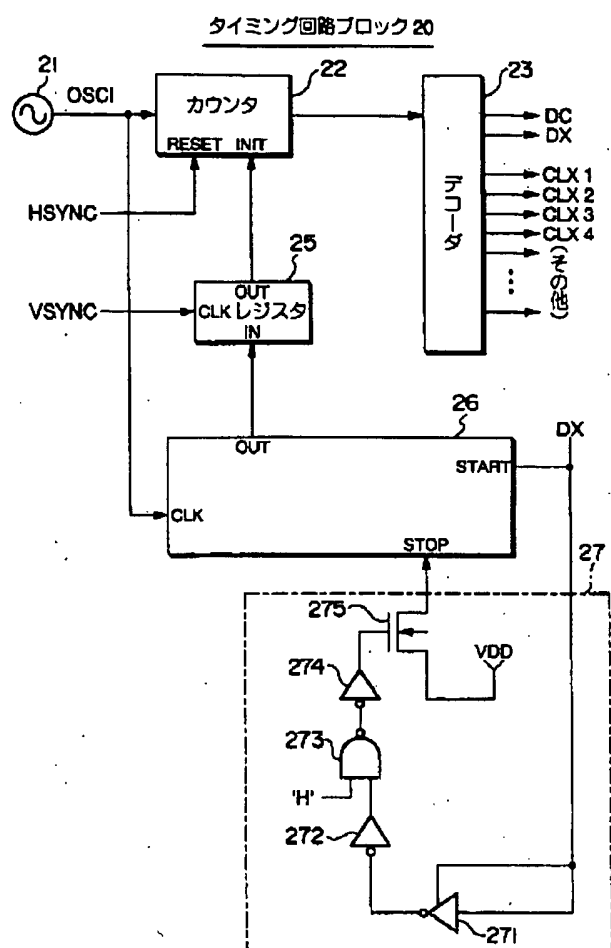
[Drawing 3]



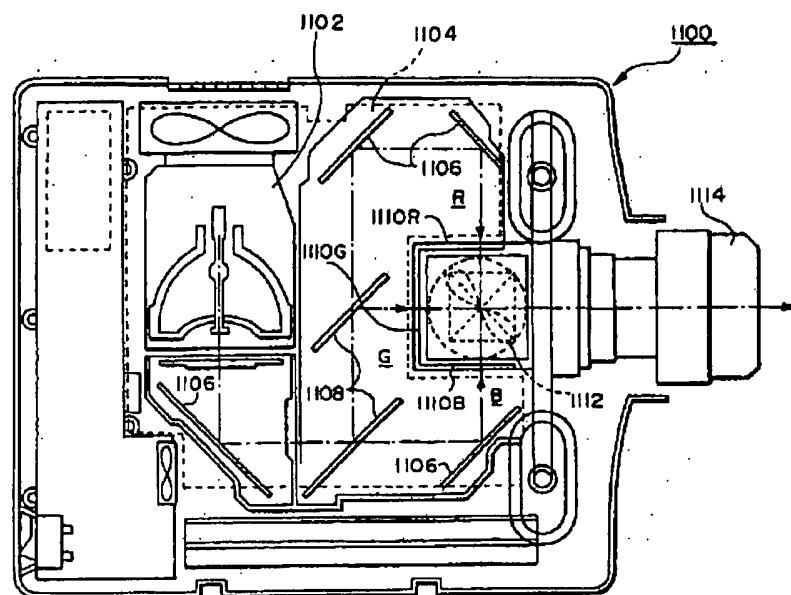
[Drawing 7]



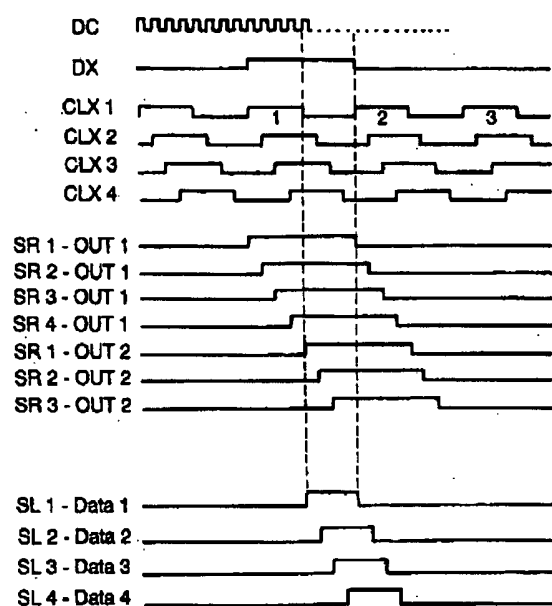
[Drawing 1]



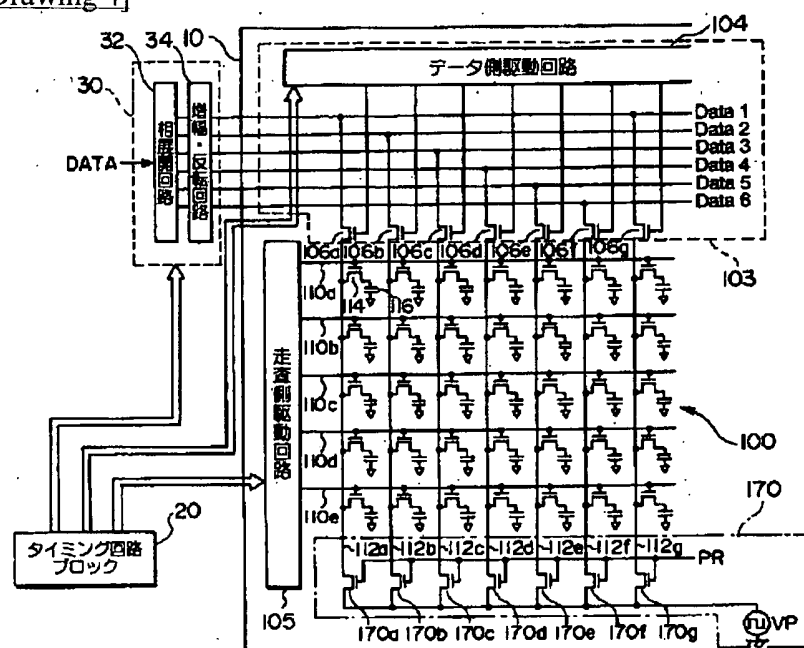
[Drawing 2]



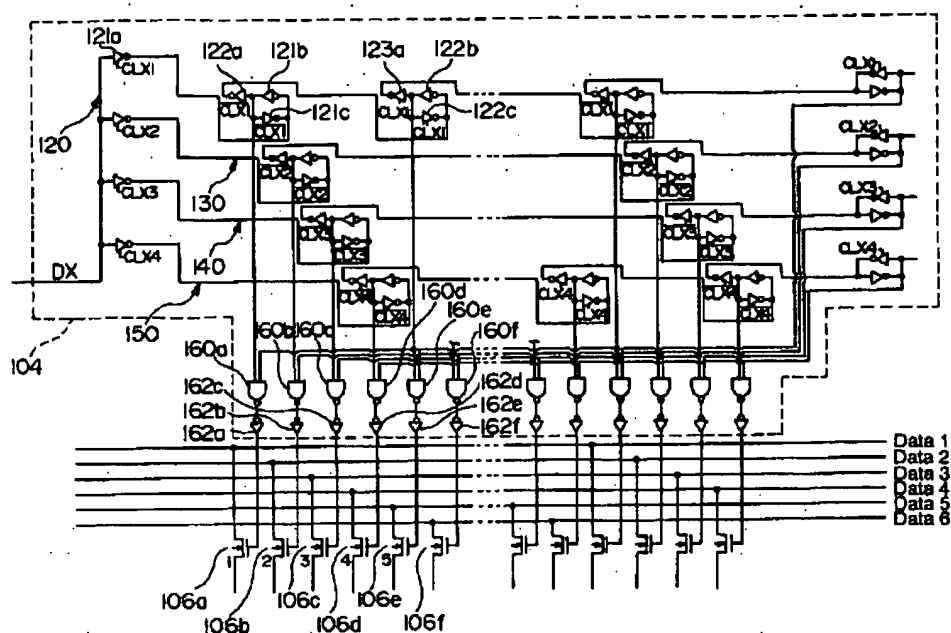
[Drawing 6]



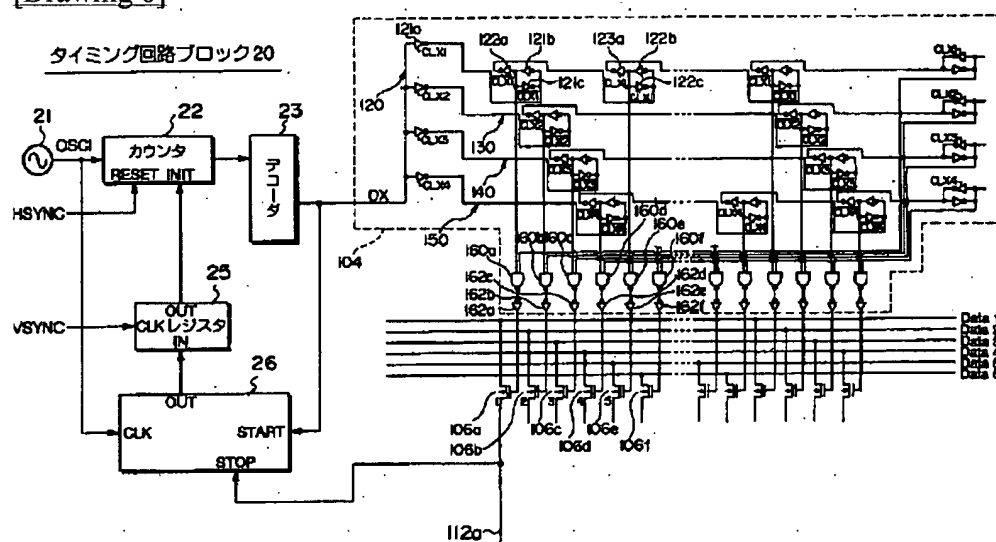
[Drawing 4]



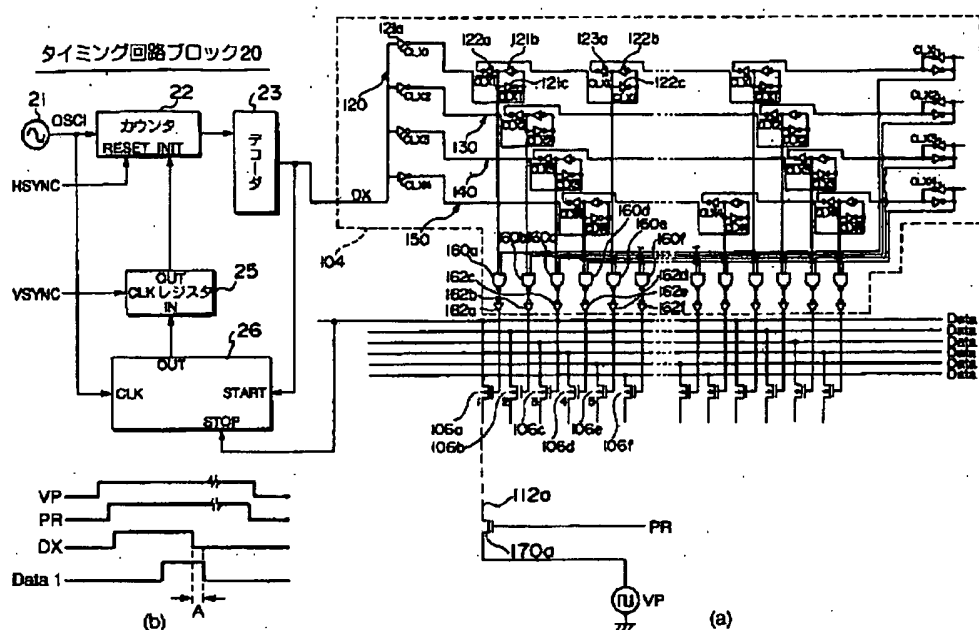
[Drawing 5]



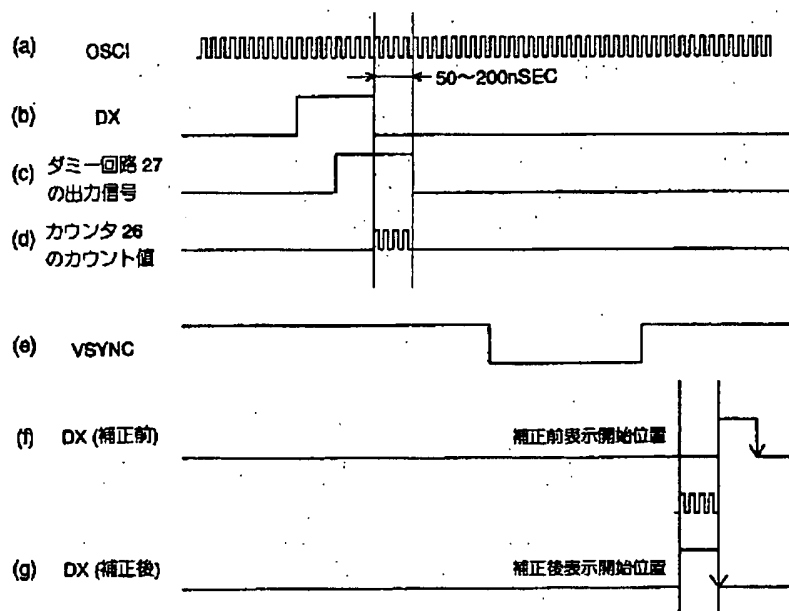
[Drawing 8]



[Drawing 9]



[Drawing 10]



[Translation done.]